



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2001年 2月19日

出願番号

Application Number: 特願2001-041097

[ST.10/C]:

[JP2001-041097]

出願人

Applicant(s): 株式会社日立製作所

2002年 1月18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号 出証特2001-3117491

【書類名】 特許願

【整理番号】 1500005731

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 茨城県土浦市神立町502番地 株式会社 日立製作所
機械研究所内

【氏名】 守谷 浩志

【発明者】

【住所又は居所】 茨城県土浦市神立町502番地 株式会社 日立製作所
機械研究所内

【氏名】 岩▲崎▼ 富生

【発明者】

【住所又は居所】 茨城県土浦市神立町502番地 株式会社 日立製作所
機械研究所内

【氏名】 三浦 英生

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社 日
立製作所 半導体グループ内

【氏名】 池田 修二

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】明細書

【発明の名称】半導体装置とその製造方法

【特許請求の範囲】

【請求項1】

半導体基板と

前記基板上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されるゲート電極と、を有し、

前記ゲート絶縁膜は、酸化チタン、酸化ジルコニウム、酸化ハフニウムから選ばれる材料を主成分とし、圧縮ひずみ状態が形成されたMOSトランジスタを備えたことを特徴とする半導体装置。

【請求項2】

半導体基板と

前記基板上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されるゲート電極と、を有し、

前記ゲート絶縁膜は、ルチル型の結晶構造を備えた酸化チタンを主成分とし、圧縮ひずみが形成されたMOSトランジスタを備えたことを特徴とする半導体装置。

【請求項3】

半導体基板と

前記基板上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されるゲート電極と、を有し、

前記ゲート電極の主構成材料の熱膨張係数が前記酸化チタンの線膨張係数より大きいMOSトランジスタを備えたことを特徴とする半導体装置。

【請求項4】

半導体基板と

前記基板上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されるゲート電極と、を有し、

前記ゲート絶縁膜は、ルチル型の結晶構造を備えた酸化チタンを主成分とし、圧縮ひずみが形成され、

前記ゲート電極は、引張ひずみが形成されたMOSトランジスタを備えたことを特徴とする半導体装置。

【請求項5】

請求項1の半導体装置において、

前記絶縁膜は、酸化シリコンを主成分とする膜と、前記膜の上に酸化チタン、酸化ジルコニウム、酸化ハフニウムから選ばれる材料を主成分とする膜と、を有することを特徴とする半導体装置。

【請求項6】

半導体基板の一主面側に結晶構造ガルチル型の酸化チタンを堆積して前記ルチル型の酸化チタンを主成分とするゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上にゲート電極膜を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項7】

半導体基板の一主面側に650°C以上でCVDにより酸化チタンを堆積して酸化チタンを主成分とするゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上にゲート電極膜を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項8】

請求項5記載の半導体装置の製造方法であって、

前記ゲート絶縁膜を形成する工程は、

前記膜の上に前記酸化シリコンより高誘電酸化材料を主成分とする膜を成膜する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】

半導体基板と

前記基板上に形成され、ゲート絶縁膜と、前記ゲート絶縁膜の上に形成されるゲート電極と、を有する複数のMOSトランジスタを有し、
第一のMOSトランジスタは、酸化チタン、酸化ジルコニウム、酸化ハフニウムから選ばれる材料を主成分とするゲート絶縁膜を備え、

第二のMOSトランジスタは、酸化シリコンを多く含むゲート絶縁膜を備え、
てなることを特徴とする半導体装置。

【請求項10】

請求項8の半導体装置であって、前記第一のMOSトランジスタは、計算或いは
、メモリに用いられるトランジスタであって、前記第二のMOSトランジスタは
、I/Oに用いられるトランジスタであることを特徴とする半導体装置。

【請求項11】

半導体基板と

前記基板上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されるゲート電極と、を有し、

前記ゲート絶縁膜は、酸化チタン、酸化ジルコニウム、酸化ハフニウムから選ば
れる材料を主成分とした多層構造を有し、

圧縮ひずみ状態が形成された

MOSトランジスタを備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に係り、MOSトランジスタを備えた半導体装置に関する。

【0002】

【従来の技術】

する材料である。そこで、半導体装置において、その優れた絶縁性から、ゲート
絶縁膜、層間絶縁膜などの絶縁膜として多用されてきた。

しかし、近年、半導体装置の微細化に伴い、ゲート絶縁膜の薄膜化が要求され、
3.0 nm以下の酸化膜が使われるようになってきた。絶縁膜の厚さが3.0 nm以下ま
で薄くなるとトンネル電流が無視できないほど大きくなり、リーク電流が増大し
消費電力が増すという問題がある。

トンネル電流には主に、Fowler-Nordheimトンネル電流(FN電流)とダイレクト
・トンネル電流(以下、DT電流)とに分けられることが知られている。FN電流は

、外部電場によりエネルギー障壁が曲げられて生じる三角ボテンシャルを電子がトンネリングすることによって流れる電流である。DT電流は、直接酸化膜の中を電子がトンネリングすることによって流れる電流である。

FN電流とDT電流は、理想的には、電極と絶縁膜とのエネルギー障壁 Φ_B 等を用いて、例えば、IEEE TRANSACTIONS ON ELECTRON DEVICES、VOL. 46、NO. 2、354ページの式(A1)のように、WKB (Wentzel - Kramers - Brillouin) 近似を用いて記述できることが記載されている。

【0003】

【発明が解決しようとする課題】

上記に示した酸化シリコンゲート絶縁膜の薄膜化によるトンネル電流の増加は、主として、DT電流の増加が原因である。そこで、ゲート絶縁膜に酸化シリコンより誘電率の高い酸化チタン、酸化ジルコニウム、あるいは酸化ハフニウム等を用いることにより、誘電特性を保ちつつ、ゲート絶縁膜の膜厚を厚くし、DT電流の増加を抑えることが考えられている。例えば、酸化チタンと酸化シリコンの比誘電率をそれぞれ60、4.0とした場合、膜厚30 nmの酸化チタン薄膜は、2 nmの酸化シリコンと同等の誘電特性もつことになる。上記膜厚30 nmの酸化チタン薄膜は、酸化シリコン換算膜厚で2nmと呼ばれる。これに対し、実際の膜厚30 nmは、物理膜厚と呼ばれる。

しかし、上記の高誘電材料をゲート絶縁膜として使用するにあたり、リーク電流密度がゲート電極やゲート絶縁膜の製造方法の違いにより著しく増加する場合が

そこで、本発明の目的は、高誘電ゲート絶縁膜を有するMOSトランジスタが複数個形成された半導体装置において、ゲート絶縁膜を流れるリーク電流が抑制された半導体装置を提供することにある。

【0004】

【課題を解決するための手段】

発明者らは上記課題を解決するため鋭意研究を行い、ゲート絶縁膜を流れるリーク電流の密度がゲート電極やゲート絶縁膜の製造方法により顕著に増加するメカニズムを見出した。

そのメカニズムとは、ゲート電極やゲート絶縁膜の成膜方法によっては、成膜後の高誘電ゲート絶縁膜が引張りひずみ状態になってしまい、高誘電膜のバンドギャップが縮小し、トンネリング確率が増し、リーク電流が増したというものである。

そこで、本願発明の課題を解決するために、

本発明は、半導体基板と、前記基板上に形成されるゲート絶縁膜と、前記ゲート絶縁膜の上に形成されるゲート電極と、を有し、前記ゲート絶縁膜は、酸化チタン、酸化ジルコニウム、酸化ハフニウムから選ばれる材料を主成分とし、圧縮ひずみ状態が形成されたMOSトランジスタを備えたことを特徴とする。

【0005】

または、半導体基板と、前記基板上に形成されるゲート絶縁膜と、前記ゲート絶縁膜の上に形成されるゲート電極と、を有し、前記ゲート絶縁膜は、ルチル型の結晶構造を備えた酸化チタンを主成分とし、圧縮ひずみが形成されたMOSトランジスタを備えたことを特徴とする。

【0006】

または、半導体基板と、前記基板上に形成されるゲート絶縁膜と、前記ゲート絶縁膜の上に形成されるゲート電極と、を有し、前記ゲート絶縁膜は、ルチル型の結晶構造を備えた酸化チタンを主成分とし、前記ゲート電極の主構成材料の熱膨張係数が前記酸化チタンの線膨張係数より大きいMOSトランジスタを備えたことを特徴とする。

または、半導体基板と、前記基板上に形成されるゲート絶縁膜と、前記ゲート絶縁膜の上に形成されるゲート電極と、を有し、前記ゲート絶縁膜は、ルチル型の結晶構造を備えた酸化チタンを主成分とし、圧縮ひずみが形成され、前記ゲート電極は、引張ひずみが形成されたMOSトランジスタを備えたことを特徴とする。

【0008】

前記の半導体装置において、前記絶縁膜は、酸化シリコンを主成分とする膜と、前記膜の上に酸化チタン、酸化ジルコニウム、酸化ハフニウムから選ばれる材

料を主成分とする膜と、を有することを特徴とする。

【0009】

または、前記半導体装置の製造方法としては、半導体基板の一主面側に結晶構造がルチル型の酸化チタンを堆積して前記ルチル型の酸化チタンを主成分とするゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上にゲート電極膜を形成する工程と、を有することを特徴とする。

【0010】

または、半導体基板の一主面側に650℃以上でCVDにより酸化チタンを堆積して酸化チタンを主成分とするゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上にゲート電極膜を形成する工程と、を有することを特徴とする。

【0011】

なお、前記半導体装置の製造方法であって、前記ゲート絶縁膜を形成する工程は、酸化シリコンを主成分とする膜を成膜する工程と、前記膜の上に前記酸化シリコンより高誘電酸化材料を主成分とする膜を成膜する工程とを有することを特徴とする。前記高誘電材料は例えば、酸化チタン、酸化ジルコニウム、酸化ハフニウムから選ばれる材料を主成分とする。

【0012】

または、半導体基板と、前記基板上に形成され、ゲート絶縁膜と、前記ゲート絶縁膜の上に形成されるゲート電極と、を有する複数のMOSトランジスタを有し、第一のMOSトランジスタは、酸化チタン、酸化ジルコニウム、酸化ハフニ

ジスタは、酸化シリコンを多く含むゲート絶縁膜を備え、てなることを特徴とする。例えば、前記第二のMOSトランジスタのゲート絶縁膜が酸化シリコンを主成分とするものであることが好ましい。

【0013】

なお、前記半導体装置であって、前記第一のMOSトランジスタは、計算、メモリに用いられるトランジスタであって、前記第二のMOSトランジスタは、I/Oに用いられるトランジスタであることを特徴とする。

【0014】

また、上記複数個のMOSトランジスタが、酸化シリコンを主構成材料とするゲート絶縁膜を有するMOSトランジスタと、比誘電率が16以上の高誘電酸化物を主構成材料とするゲート絶縁膜を有するものであることが好ましい。

【0015】

または、半導体基板と、前記基板上に形成されるゲート絶縁膜と、前記ゲート絶縁膜の上に形成されるゲート電極と、を有し、前記ゲート絶縁膜は、酸化チタン、酸化ジルコニウム、酸化ハフニウムから選ばれる材料を主成分とした多層構造を有し、圧縮ひずみ状態が形成されたMOSトランジスタを備えたことを特徴とする。

本発明の半導体装置は、ゲート絶縁膜が酸化チタン、または酸化ジルコニウム、または酸化ハフニウム、または酸化タンタル、またはそれらの積層構造からなり、前記ゲート絶縁膜のひずみ状態が主に圧縮ひずみ状態になっているために、バンドギャップが小さくなることを防ぐことが出来、それによりトンネル電流を低く抑えることができる。

さらに、リーク電流が流れにくい半導体装置が得られることによって、信頼性の高い半導体装置を提供することができる。または、歩留まりの高い半導体装置を提供することができる。

【0016】

【発明の実施の形態】

(実施例1)

本発明における第一の実施例である半導体装置における主要部分の断面構造を図1に示す。これは、図2に示した平面レイアウトの一例において、A-A'で切断した断面図である。本実施例の半導体装置は、図1に示すように、P型シリコン基板101の表面に、例えばシリコン酸化膜からなる素子分離膜102が設けられ、素子形成領域103が形成されている。素子形成領域103には、NチャネルMOSトランジスタが設けられている。

MOSトランジスタは、ゲート絶縁膜104a、ゲート電極105aを有している。ゲー

ト電極105aの側面には、例えば窒化シリコンからなるサイドウォール106aが形成されている。ゲート絶縁膜104aの主構成材料は、結晶構造がルチル構造の酸化チタンであり、ゲート電極105aは、例えば多結晶シリコン膜や金属薄膜、あるいは金属シリサイド膜あるいはこれらの積層構造である。

MOSトランジスタは、ゲート電極105aに自己整合的に形成されたN⁻型ソース・ドレイン拡散層107aを有し、素子分離層102並びにゲート電極105aに自己整合的に形成されたN⁺型ソース・ドレイン拡散層108を有している。

この半導体装置の表面には、層間絶縁膜109が形成されている。層間絶縁膜109にはN⁺型ソース・ドレイン拡散層108に達するコンタクトホール110が設けられている。

上記ルチル型酸化チタンゲート絶縁膜の膜厚は例えば30 nmであり、ルチル型酸化チタンと酸化シリコンの比誘電率をそれぞれ60、4.0とした場合、上記の膜厚は、同等の誘電特性をもつ酸化シリコンの膜厚に換算して2 nmとなる。すなわち、物理膜厚は30nm、換算膜厚は2nmである。

上記の酸化チタンからなるゲート絶縁膜104aのひずみ状態は、圧縮ひずみ状態となっている。

このように、本発明の半導体装置は、ゲート絶縁膜104aが高誘電材料であるルチル型酸化チタンで構成されているので、ゲート絶縁膜104aが酸化シリコンの場合に比べて、ゲート絶縁膜aの物理膜厚を厚くすることができ、D T電流が流れるのを防ぐことが出来る。

比べ大きくなっている。これにより、電子が絶縁膜を透過する確率を小さくでき、リーク電流の増加を抑えることができる。また、ルチル型酸化チタンを用いているので、アナターゼ型酸化チタンをゲート絶縁膜に用いるよりも、熱的に安定なゲート絶縁膜が得られる。

また、図3に示すようにシリコン基板101とゲート絶縁膜104aとの間に例えば酸化シリコンまたは窒化シリコンまたは酸化窒化シリコン等の絶縁膜111が一層またはそれ以上の層数で形成されていても良い。ただし、上記絶縁膜の膜厚は、ゲート絶縁膜の高誘電特性を得るために0.5 nm以下が好ましい。

また、図4に示すようにゲート電極105aは二層またはそれ以上の層数で形成されていても良い。

また、上記ではゲート絶縁膜が酸化チタン場合について述べたがは、酸化ジルコニウム、酸化ハフニウムでも同様の効果が得られる。

図5は、ルチル型酸化チタンのバンドギャップのひずみ依存性を示している。ここで、正のひずみは引張りひずみを負のひずみは圧縮ひずみを表す。図5から、ルチル型酸化チタンのバンドギャップは、引張りひずみの増加に対して減少し、圧縮ひずみの増加に対して増加することがわかる。

図5に示したバンドギャップのひずみ依存性は、第一原理バンド計算により求めた。第一原理バンド計算とは、例えば、「固体—構造と物性」岩波講座現代の物理学7（岩波書店、1994年発行）に記述されているように、固体内の電子についてのシュレーディンガーエルミニア方程式を解き、電子のエネルギー・バンドを計算する手法である。

バンドギャップとは、電子によって占有されたエネルギー・レベル（価電子・バンド）の上端と、電子によって占有されていないエネルギー・レベル（伝導帶・バンド）の下端とのエネルギー差である。このバンドギャップが大きいものほど絶縁性が高く、電流が流れ難いといえる。また、密度汎関数理論によれば、通常、上記バンドギャップの計算値は、実験値に比べ過小に評価される。そこで、本計算では、実験結果をもとに、バンドギャップ値の補正を行なった。

また、図6は、ルチル型酸化チタンの仕事関数のひずみ依存性を示している。こ

事関数 $\Phi_B(\varepsilon)$ は図5に示したバンドギャップ $Eg(\varepsilon)$ に比例するとし次の（1）式を用いて算出した。 $\Phi_B(\varepsilon=0)$ は無ひずみ（ $\varepsilon=0$ ）の場合の仕事関数であり $\Phi_B(\varepsilon=0)=1.0\text{ eV}$ とした。この値は、実験で得られているバルクのルチル型酸化チタンの仕事関数である。

$$\Phi_B(\varepsilon) = \Phi_B(\varepsilon=0) \times Eg(\varepsilon) / Eg(\varepsilon=0) \cdots (1)$$

図6から、ルチル型酸化チタンの仕事関数は、引張りひずみの増加に対して減少し、圧縮ひずみの増加に対して増加することがわかる。

図7は、ルチル型酸化チタンのリーク電流のひずみ依存性を示している。図7に

示したリーク電流密度のひずみ依存性は、図6で得られた仕事関数のひずみ依存性から、例えば、IEEE TRANSACTIONS ON ELECTRON DEVICES、VOL. 46、NO. 2、3 54ページに記述されているように、WKB (Wentzel - Kramers - Brillouin) 近似を用いて絶縁膜を電子がトンネリングする確率とひずみとの関係から導出した。図7は、印可電圧は1 Vで、膜厚は酸化シリコン換算で2.0 nmの場合の結果である。図7中の横軸の酸化シリコン換算膜厚とは、酸化シリコンと同じ誘電特性が得られる膜厚を示しており、酸化シリコンとルチル型酸化チタンの誘電率をそれぞれ4.0、60とすれば、酸化シリコン換算膜厚2.0 nmの酸化チタンの膜厚は $2.0 \text{ nm} \times 60 / 4.0 = 30.0 \text{ nm}$ となる。図7から、ルチル型酸化チタンにおけるリーク電流密度は、引張ひずみが増すとともに増加し、圧縮ひずみが増すとともに減少することがわかる。

上記図7は、印可電圧は1 Vで、膜厚は酸化シリコン換算で2.0 nmの場合の結果であるが、印可電圧ならびに膜厚が上記以外においても、ルチル型酸化チタンにおけるリーク電流密度は、引張ひずみが増すとともに増加し、圧縮ひずみが増すとともに減少するという同様の結果が得られる。

(実施例2)

本発明における第二の実施例として、図8、図9を用いて説明する。

また、図8、図9は、それぞれ酸化ジルコニウム、酸化ハフニウムのバンドギャップのひずみ依存性を示している。図8と図9から、酸化ジルコニウムと酸化ハフニウムのバンドギャップはともに、引張りひずみの増加に対して減少し、圧縮

チタンにおける効果と同様に、酸化ジルコニウム、酸化ハフニウムにおけるリーク電流密度は、引張ひずみが増すとともに増加し、圧縮ひずみが増すとともに減少する。

(実施例3)

本発明における第三の実施例として、図10、図11、図12を用いて説明する。図10は、ゲート絶縁膜を圧縮ひずみ状態にする構造を示しており、例えばゲート電極を引張ひずみ状態にする。ゲート電極を引張ひずみ状態にすることにより、その反作用によりゲート絶縁膜は圧縮ひずみ状態となる。

図11、図12は、図10に示した引張ひずみ状態にあるゲート電極と圧縮ひずみ状態にある酸化チタンゲート絶縁膜を有する半導体装置の製造方法を示している。まず、P型シリコン基板101表面に、深さ200 nmから300 nmの溝を形成しシリコン酸化膜を埋め込み、浅溝型の素子分離層102を形成する（図11（A））。

次に、シリコン基板101表面に、例えば化学的気層成長（Chemical Vapor deposition : CVD）法により、厚さ30 nmほどのルチル型酸化チタン膜104を形成する（図11（B））。この際、成膜温度は660°C以上が好ましい。成膜温度が660°C以下では、酸化チタン膜104にアナターゼ型の酸化チタンが混在する場合があり、その後の熱処理によりアナターゼ型酸化チタンがルチル型に相転移する場合がある。酸化チタンのアナターゼ型からルチル型への相転移は体積収縮を伴い、酸化チタン膜104に引張ひずみを生じさせる場合があるからである。

次に、ルチル型酸化チタン膜104表面に、不純物リン（P）を含むアモルファスシリコン膜95をCVD法等により形成する。アモルファスシリコン膜95の膜厚は例えば約200 nmとする（図11（C））。

さらに、半導体基板温度を600°C以上にし、アモルファスシリコン膜95を結晶化させ、多結晶シリコン膜105にする。アモルファスシリコンの結晶化は体積収縮を伴うので、結晶化によって得られた多結晶シリコン膜105は引張ひずみ状態となる。この引張ひずみの反作用としてルチル型酸化チタン膜104は圧縮ひずみ状態となる。上記アモルファスシリコン膜95の結晶化は、半導体基板温度の制御によって行なってもよいが、レーザーの照射によって行なっても差し支えない（図

次に、フォトレジスト膜をマスクに用いて、多結晶シリコン膜105、ルチル型酸化チタン膜104をエッチングする。これによりMOSトランジスタのゲート絶縁膜104aとゲート電極105aとを形成する。次に、熱酸化法あるいはCVD法により膜厚2 nm程の酸化シリコン膜96を形成する。リン（P）のイオン注入によりMOSトランジスタのN⁻型ソース・ドレイン領域107を形成する。N⁻型ソース・ドレイン領域107は、ゲート電極、ゲート絶縁膜に対して自己整合的である。上記酸化シリコン膜96の形成の目的は、このリン（P）イオン注入によるシリコン基板へのダメージを和らげるためである（図12（A））。

続いて、半導体基板表面に厚さ200 nmのシリコン窒化膜106をスパッタ法またはCVD法により堆積し(図12(B))、シリコン窒化膜106、酸化シリコン膜96をエッチングすることによりゲート電極とゲート絶縁膜の側壁にサイドウォール106aを形成する(図12(C))。

次に、素子分離膜102、ゲート電極106a、サイドウォール106aをマスクとし、砒素(As)のイオン注入により、N+型ソース・ドレイン拡散層108を形成する。CVD法により層間絶縁膜109を形成し、拡散層表面に達するコンタクトホール110を形成する。

上述の製造方法は、NチャネルMOSトランジスタの場合であるが、この製造方法はPチャネルMOSトランジスタにも応用出来る。さらにCMOSトランジスタ、BiCMOSトランジスタにも応用出来る。

また、上記ゲート電極105aは、多結晶シリコン膜以外に、タンゲステン、モリブデン等の金属薄膜、あるいは窒化タンゲステン等の金属化合物、あるいはタンゲステンシリサイド等の金属シリサイド膜、あるいはこれらの積層構造であっても良い。ゲート電極にタンゲステン、モリブデン等の金属膜を用いることにより、ゲート電極膜内で空乏化が生じないため、ゲート絶縁膜の実効ゲート絶縁膜厚を薄く出来る。また、タンゲステンは熱的に安定であり、電極膜を成膜した後の高温プロセスの際に膜質が変化することが少ない。また、酸化チタンとタンゲステンを接し積層した場合、酸化タンゲステンが、形成される場合がある。酸化タンゲステンは酸化チタンよりも誘電率が小さく、酸化タンゲステンの形成はゲート絶

れた窒化タンゲステン、タンゲステンシリサイド膜を用いることは有効である。特に耐酸化性においては、窒化タンゲステン膜は特に優れている。また、窒化タンゲステン膜をゲート電極に用いる場合は、図4に示したようにゲート電極を2層構造とすることは有効である。酸化チタンに接した層(図4, 105a)を窒化タンゲステン、その上層(図4, 112)を窒化タンゲステンより低抵抗であるタンゲステンにすることにより、低抵抗なゲート電極を得ることが出来る。

上記に示した材料をゲート電極膜として用いる場合には、成膜条件を制御することによりゲート絶縁膜を圧縮ひずみ状態とする。例えば、上記の金属や、金属化

合物は、成膜温度300°Cでスパッタ法によって堆積することにより、引張ひずみ状態となる。そして、上記の金属、金属化合物膜をゲート電極とした場合、反作用でルチル型酸化チタンゲート絶縁膜は圧縮ひずみ状態となる。すなわち、ルチル型酸化チタンゲート絶縁膜は圧縮ひずみ状態となる。

このように、上記の酸化チタンからなるゲート絶縁膜104aは、圧縮ひずみ状態となり、ゲート絶縁膜104aのバンドギャップが無ひずみ状態あるいは引張ひずみ状態の場合に比べ大きくなっている。

また、ゲート絶縁膜104aが高誘電材料であるルチル型酸化チタンで構成されているので、ゲート絶縁膜104aが酸化シリコンの場合に比べて、ゲート絶縁膜の物理膜厚を厚くすることができ、D-T電流が流れるのを防ぐことが出来る。

また、ゲート絶縁膜104aにルチル型酸化チタンを用いているので、アナターゼ型酸化チタンをゲート絶縁膜に用いるよりも、熱的に安定なゲート絶縁膜104aが得られる。

これにより、電子が絶縁膜を透過する確率を小さくでき、リーク電流の増加を抑えることができる。

また、ゲート絶縁膜104aが引張ひずみ状態になるのを積極的に避けることは、ゲート絶縁膜104aにおけるリーク電流増加を防ぐのには良い方法である。ゲート絶縁膜104aが引張ひずみ状態になるのを避ける方法としては、酸化チタンゲート絶縁膜104a成膜時にすでに、その結晶構造をルチル型とする。アナターゼ型の結晶を成膜しその後の相変化によってルチル構造にする製造方法では、引張ひずみ状

は、ルチル型酸化チタンの密度に比べ小さいため、アナターゼ型からルチル型酸化チタンへ相変化する場合体積収縮を伴い、それにより引張ひずみがルチル型酸化チタンゲート絶縁膜に発生するおそれがあるからである。

また、酸化チタンゲート絶縁膜が圧縮ひずみ状態であることを確認する方法としては、透過型電子顕微鏡(TEM)を用いて酸化チタン内のチタン(Ti)原子と酸素(O)原子の第一隣接原子間距離を測定すれば良い。無ひずみ状態では第一隣接原子間距離の平均値は0.196 nmである。すなわち、上記の第一隣接原子間距離の平均値が0.196 nmより大きければ引張りひずみの状態に、0.196 nmより小さけ

れば圧縮ひずみの状態にルチル型酸化チタンはあるといえる。

(実施例4)

本発明における第四の実施例である半導体装置における主要部分の断面構造を図13に示す。これは、図14に示した平面レイアウトの一例において、A-A'で切断した断面図である。

本発明の半導体装置は、外部装置に直接に接続されるI/O回路と外部装置への接続を要しない内部回路とを有している。I/O回路および内部回路は、単チャネルのMOSトランジスタ、C-MOSトランジスタ、あるいはBiCMOSトランジスタから構成される。説明を容易にするため本実施例では、LDD構造のソース・ドレイン拡散層を有するNチャネルMOSトランジスタのみから構成された半導体装置について説明する。

本実施例の半導体装置は、図13に示すように、P型シリコン基板101の表面には、例えばシリコン酸化膜からなる素子分離膜102が設けられ、内部回路素子形成領域203とI/O回路素子形成領域303が形成されている。内部回路素子形成領域203とI/O回路素子形成領域303には、それぞれ第1のNチャネルMOSトランジスタと第2のNチャネルMOSトランジスタが形成されている。

内部回路素子形成領域203に形成された第1のMOSトランジスタは、ゲート絶縁膜204a、ゲート電極205aを有している。ゲート電極205aの側面には、例えば窒化シリコンからなるサイドウォール206aが形成されている。ゲート絶縁膜204aの主構成材料は、結晶構造がルチル構造の酸化チタンであり、ゲート電極105a

からの積層構造である。

第1のMOSトランジスタは、ゲート電極205aに自己整合的に形成されたN⁻型ソース・ドレイン拡散層207aを有し、素子分離層102並びにゲート電極205aに自己整合的に形成されたN⁺型ソース・ドレイン拡散層208を有している。

上記ルチル型酸化チタンゲート絶縁膜の膜厚は例えば30nmであり、ルチル型酸化チタンと酸化シリコンの比誘電率をそれぞれ60、4.0とした場合、上記の膜厚は、同等の誘電特性をもつ酸化シリコンの膜厚に換算して2nmとなる。すなわち、物理膜厚は30nm、換算膜厚は2nmである。よって、ゲート絶縁膜204aが高誘電

材料であるルチル型酸化チタンで構成されているので、ゲート絶縁膜104aが酸化シリコンの場合に比べて、ゲート絶縁膜の物理膜厚を厚くすることができ、DT電流が流れるのを防ぐことが出来る。

I/O回路素子形成領域303に形成された第2のMOSトランジスタは、ゲート絶縁膜304a、ゲート電極305aを有している。ゲート電極305aの側面には、例えば窒化シリコンからなるサイドウォール306aが形成されている。ゲート絶縁膜304aは、膜厚が例えば5nmの酸化シリコン、あるいは例えば膜厚3nmの酸化シリコンと膜厚30nmのルチル型酸化チタンの積層構造である。ルチル型酸化チタンと酸化シリコンの比誘電率をそれぞれ60、4.0とした場合、上記積層構造の膜厚は、同等の誘電特性をもつ酸化シリコンの膜厚に換算して5nmとなる。すなわち、物理膜厚は35nm、換算膜厚は5nmである。

ゲート電極305aは、例えば多結晶シリコン膜や金属薄膜、あるいは金属シリサイド膜あるいはこれらの積層構造である。第2のMOSトランジスタは、ゲート電極305aに自己整合的に形成されたN⁻型ソース・ドレイン拡散層307aを有し、素子分離層102並びにゲート電極305aに自己整合的に形成されたN⁺型ソース・ドレイン拡散層308を有している。

上記半導体装置の表面には、層間絶縁膜109が形成されている。層間絶縁膜109にはN⁺型ソース・ドレイン拡散層208、308に達するコンタクトホール210、310がそれぞれ設けられている。

内部回路素子領域に形成された第1のMOSトランジスタは、実施例1で示したMOS

は例えば0.1μmと短くなっている。このため高速演算に適している。

また、I/O回路用のMOSトランジスタは、内部回路（例えば計算用）のMOSトランジスタよりは高速演算が要求されず、むしろゲートに高電圧が印可された場合の耐圧性が要求される。そこで、I/O回路素子領域に形成された第2のMOSトランジスタには、ゲート絶縁膜304が3nm以上の酸化シリコン膜を有している。厚さが3nm以上の酸化シリコンは、DT電流、FN電流をともに小さく抑えることができる。すなわち第2のMOSトランジスタは、I/O用トランジスタとして、ゲート電極と基板との間の高電圧に対する耐圧性が優れており、高信頼である。

本実施例における半導体装置は、内部回路素子として高速演算に適したMOSトランジスタと、I/O回路素子として高電圧に対する耐圧性が優れたMOSトランジスタとを、同一基板上に有しているため、高信頼で製造コストの小さい半導体装置を提供することができる。

また、上記の酸化チタンからなるゲート絶縁膜204aは、圧縮ひずみ状態となっていることが好ましい。これにより上記実施例2で示したようにゲート絶縁膜のバンドギャップが無ひずみ状態あるいは引張ひずみ状態の場合に比べ大きくなり、電子が絶縁膜を透過する確率を小さくでき、リーク電流の増加を抑えることができる。

また、シリコン基板101とゲート絶縁膜204aとの間に例えば酸化シリコンまたは窒化シリコンまたは酸化窒化シリコン等の絶縁膜が一層またはそれ以上の層数で形成されていても良い。ただし、上記絶縁膜の膜厚は、ゲート絶縁膜の高誘電特性を得るために0.5 nm以下が好ましい。

また、図4に示すようにゲート電極205、305は、二層またはそれ以上の層数で形成されていても良い。

このように、本発明によれば、ルチル型酸化チタンからなるゲート絶縁膜は、圧縮ひずみ状態となっており、ゲート絶縁膜のバンドギャップが無ひずみ状態あるいは引張ひずみ状態の場合に比べ大きくなっている。これにより、電子が絶縁膜を透過する確率が小さくなり、FNリーク電流の増加を抑えることができ、リーク電流が流れにくい酸化チタンゲート絶縁膜構造を提供することが出来る。また

装置を提供することが出来る。

【0017】

【発明の効果】

本発明により、高誘電ゲート絶縁膜を有するMOSトランジスタが複数個形成された半導体装置において、ゲート絶縁膜を流れるリーク電流が抑制された半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明における第一の実施例である半導体装置の主要部であり、図2の

A-A' 断面図。

【図2】本発明における第一の実施例である半導体装置の主要部の平面図。

【図3】本発明における第一の実施例である半導体装置の主要部の断面図。

【図4】本発明における第一の実施例である半導体装置の主要部の断面図。

【図5】本発明における第二の実施例である、ルチル型酸化チタンのバンドギャップのひずみ依存性を示す図。

【図6】本発明における第二の実施例である、ルチル型酸化チタンの仕事関数のひずみ依存性を示す図。

【図7】本発明における第二の実施例である、ルチル型酸化チタンゲート絶縁膜のリーク電流のひずみ依存性を示す図。

【図8】本発明における第二の実施例である、酸化ジルコニウムのバンドギャップのひずみ依存性を示す図。

【図9】本発明における第二の実施例である、酸化ハフニウムのバンドギャップのひずみ依存性を示す図。

【図10】本発明における第三の実施例である半導体装置の主要部で断面図。

【図11】図10に示した半導体装置の主要部の製造方法を説明する図。

【図12】図10に示した半導体装置の主要部の製造方法を説明する図。

【図13】本発明における第四の実施例である半導体装置の主要部で断面図であり、図12のA-A' 断面図。

【図14】本発明における第四の実施例である半導体装置の主要部の平面図。

101…シリコン基板、

102…素子分離膜、

103…素子形成領域、

104、204…圧縮ひずみ状態にあるルチル型酸化チタン膜、

104a、204a…圧縮ひずみ状態にあるルチル型酸化チタンゲート絶縁膜、

105…多結晶シリコン膜、

105a、205a、305a、112…ゲート電極、

106…シリコン窒化膜

106a…サイドウォール

107、107a、207、207a、307、307a…N⁻型ソース・ドレイン拡散層、

108、108a、208、208a、308、308a…N⁺型ソース・ドレイン拡散層、

109…層間絶縁膜、

110、210、310…コンタクトホール

111…絶縁膜

203…内部回路素子形成領域

303…I/O回路素子形成領域

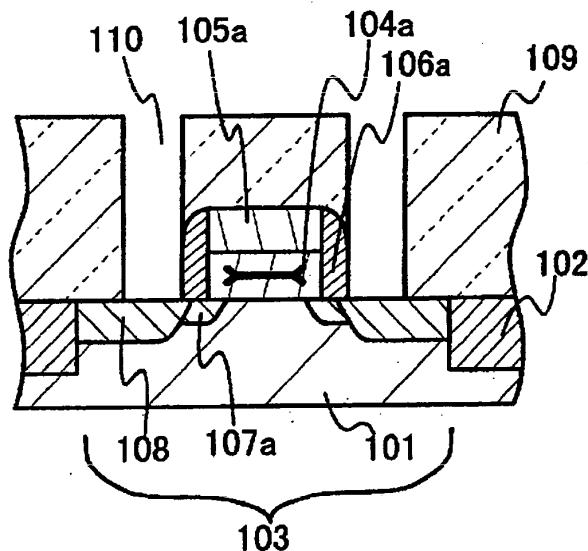
95…アモルファスシリコン膜

96…酸化シリコン膜

【書類名】 図面

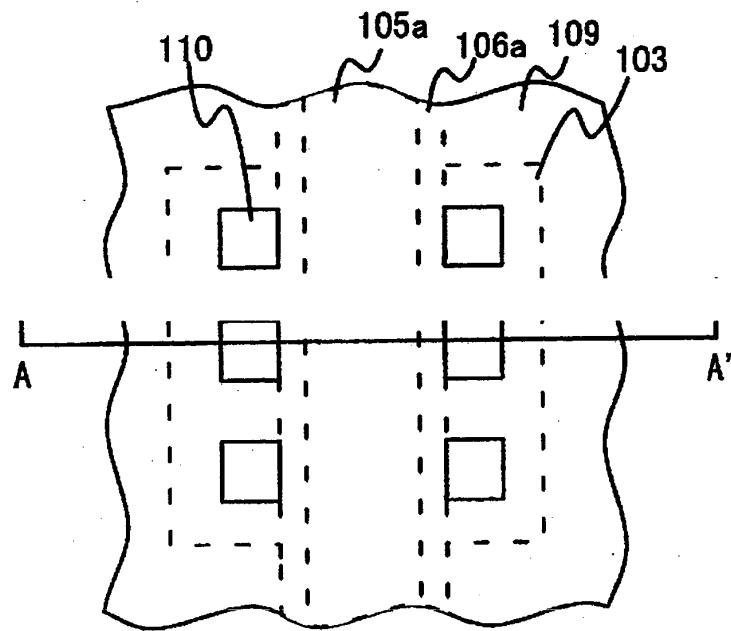
【図1】

図1



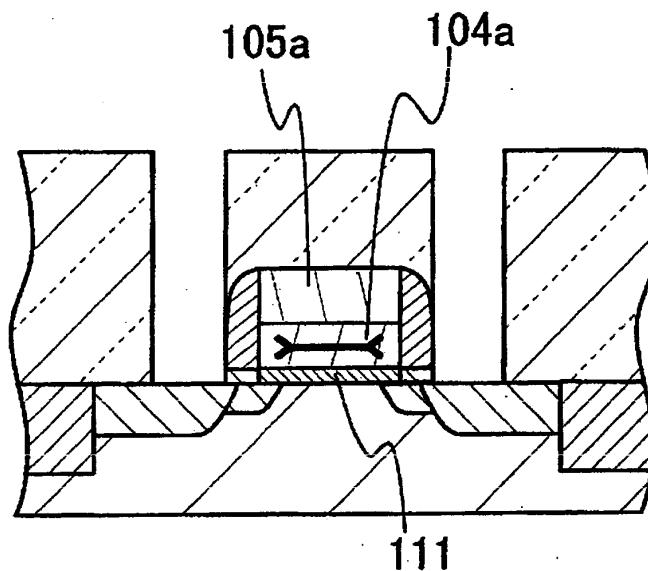
【図2】

図2



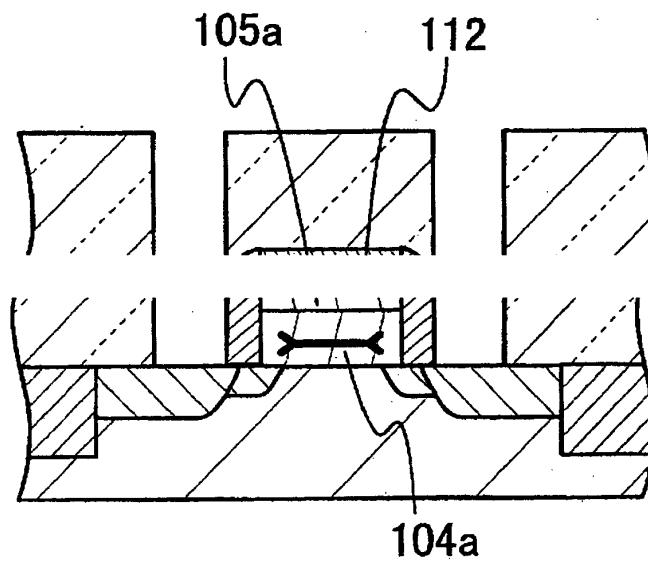
【図3】

図3



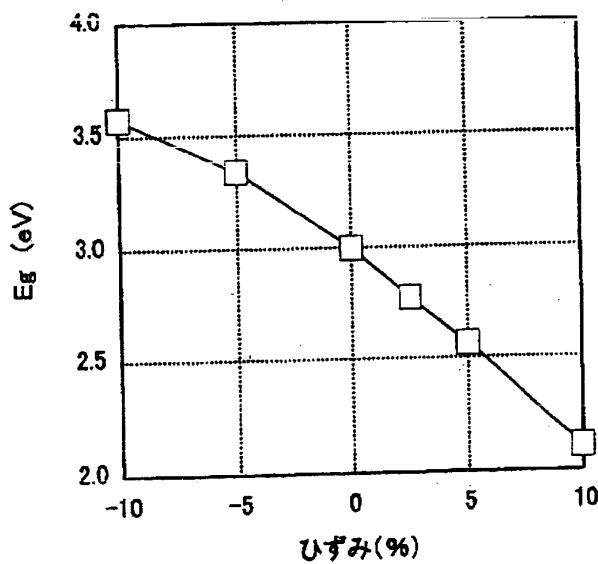
【図4】

図4



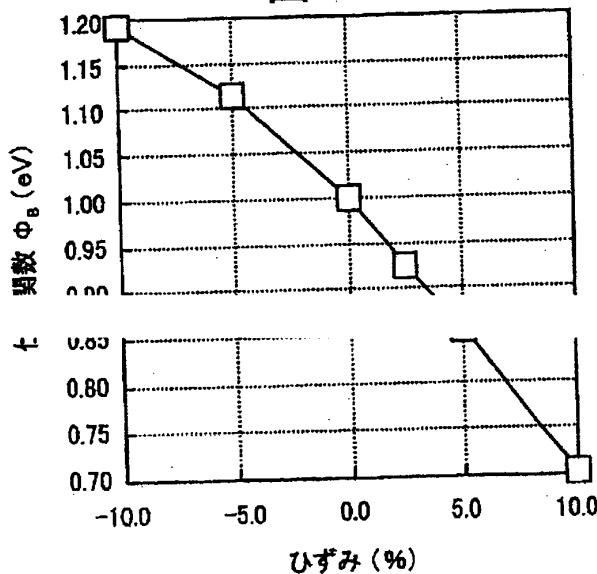
【図5】

図5

図 バンドギャップ E_g のひずみ依存性
(ルチル型酸化チタン)

【図6】

図6

図 仕事関数 Φ_B のひずみ依存性
(ルチル型酸化チタン)

【図7】

図7

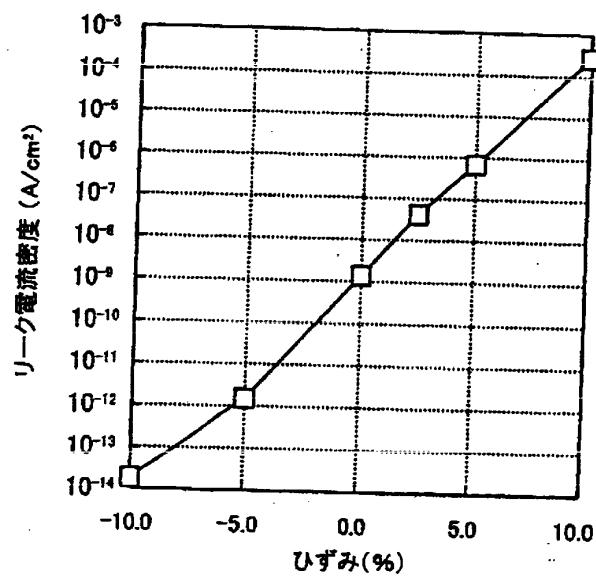


図 リーク電流密度のひずみ依存性
 ルチル型二酸化チタン
 二酸化シリコン換算膜厚=2.0nm
 印加電圧=1V

【図8】

図8

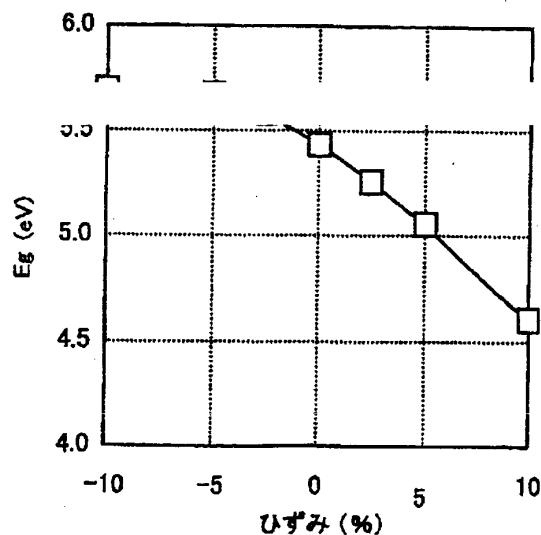
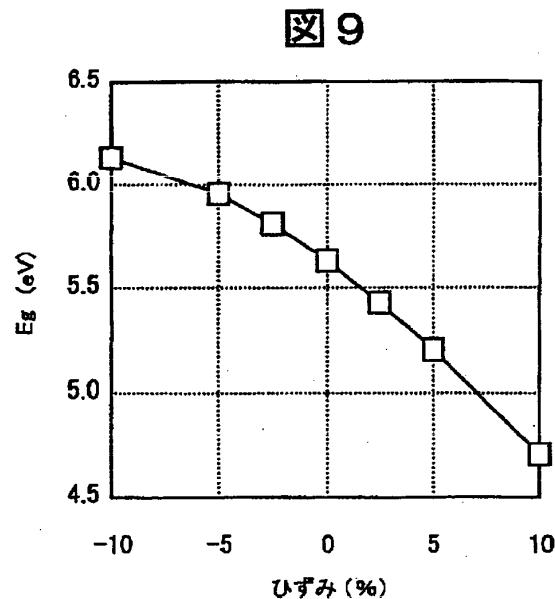
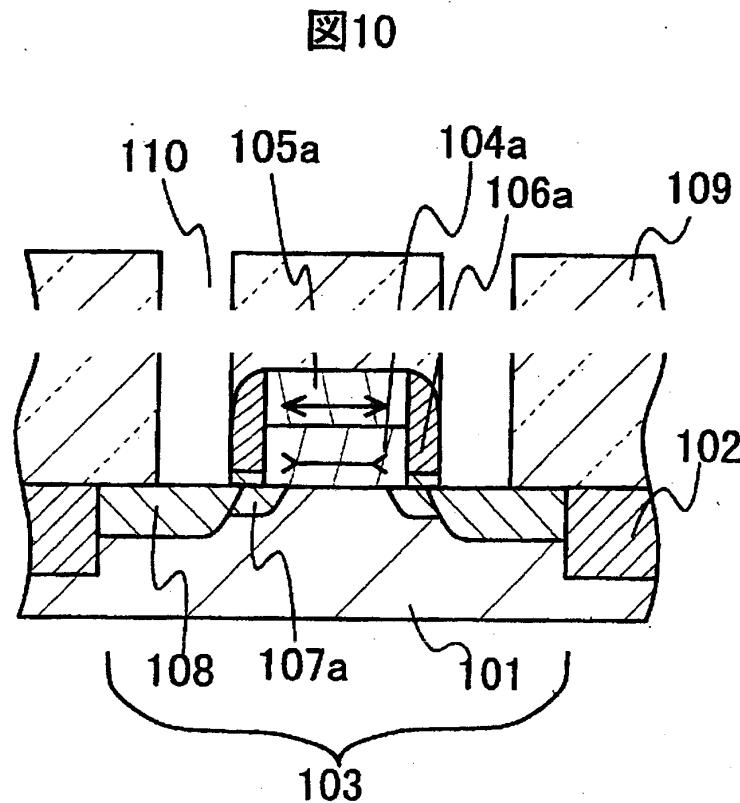


図 バンドギャップEgのひずみ依存性
 (酸化ジルコニア)

【図9】

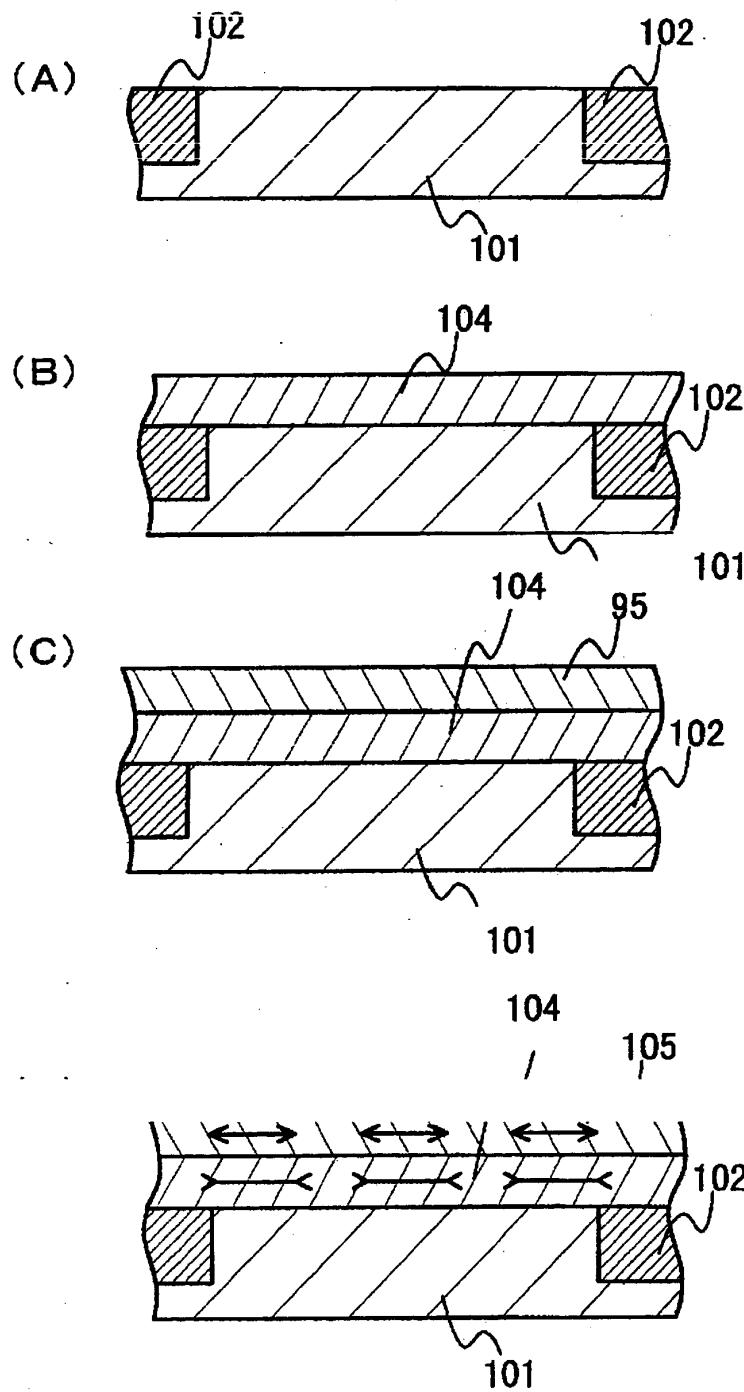
図 バンドギャップ E_g のひずみ依存性
(酸化ハフニウム)

【図10】



【図11】

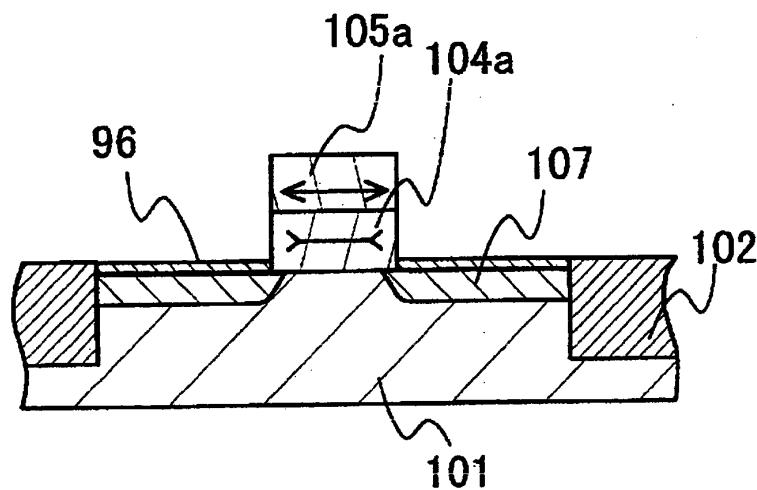
図11



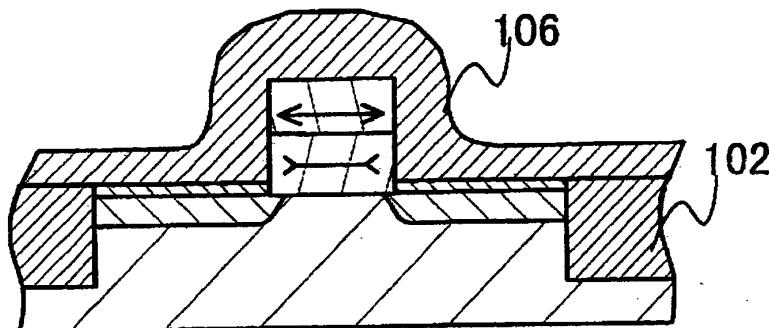
【図12】

図12

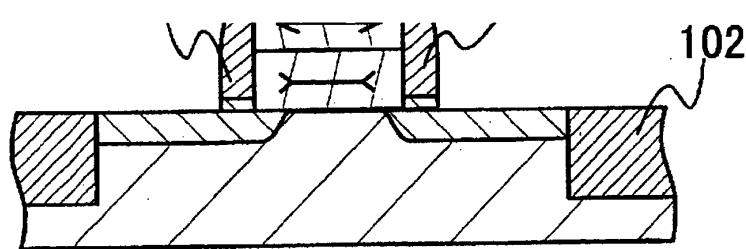
(A)



(B)

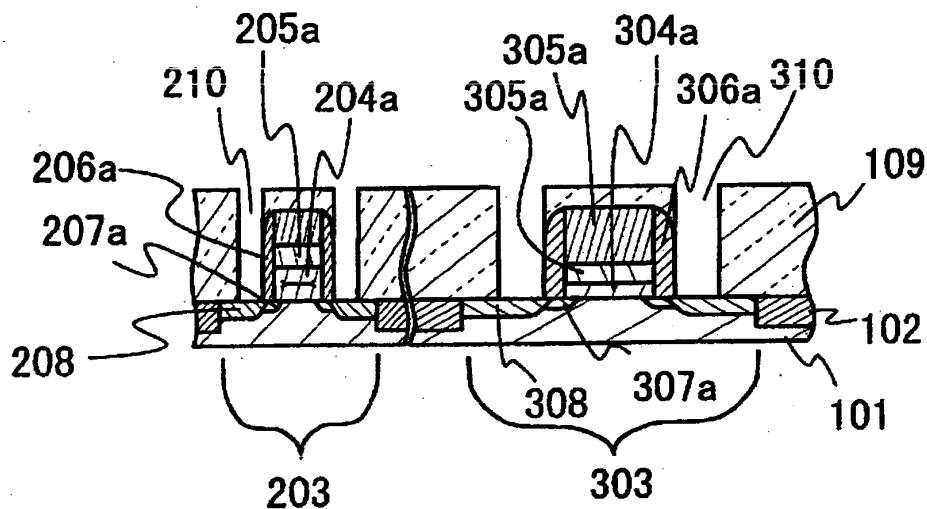


(C)



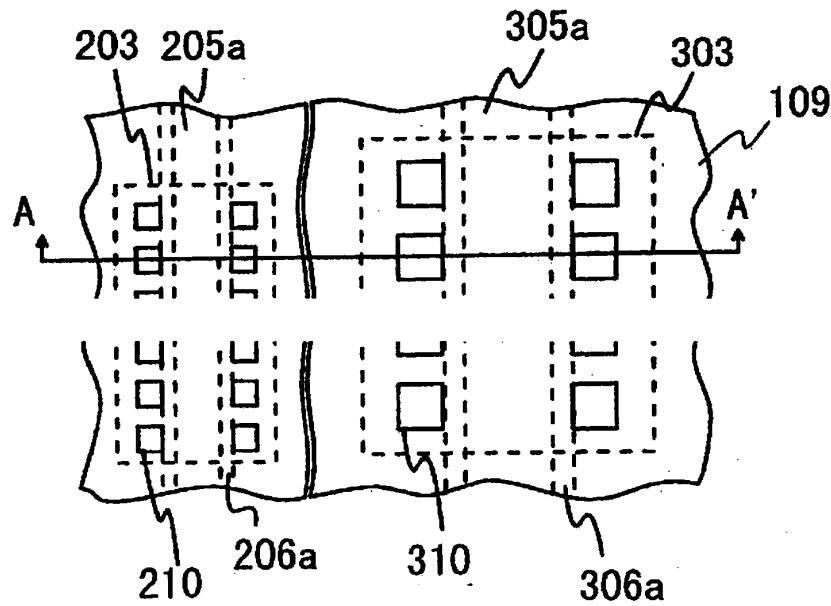
【図13】

図13



【図14】

図14



【書類名】 要約書

【要約】

【課題】

高誘電ゲート絶縁膜を有するMOSトランジスタが複数個形成された半導体装置において、ゲート絶縁膜を流れるリーク電流が抑制された半導体装置を提供する。

【解決手段】

半導体基板と、前記基板上に形成されるゲート絶縁膜と、前記ゲート絶縁膜の上に形成されるゲート電極と、を有し、前記ゲート絶縁膜は、酸化チタン、酸化ジルコニウム、酸化ハフニウムから選ばれる材料を主成分とし、圧縮ひずみ状態が形成されたMOSトランジスタを備えたことを特徴とする。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-041097
受付番号	50100221899
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 2月20日

<認定情報・付加情報>

【提出日】 平成13年 2月19日

次頁無

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所